

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-120813

(43)Date of publication of application : 12.05.1995

(51)Int.Cl.

G03B 15/05

G03B 7/16

H05B 41/32

(21)Application number : 05-263476

(71)Applicant : MINOLTA CO LTD

(22)Date of filing : 21.10.1993

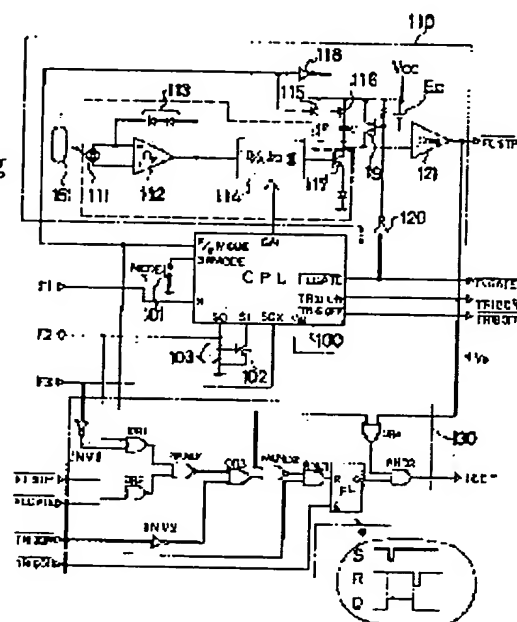
(72)Inventor : ICHIKAWA TSUTOMU  
KAWABE KOTARO  
TAKAWA HIDEKI

## (54) FLASH SYSTEM FOR CAMERA

### (57)Abstract:

**PURPOSE:** To prevent the occurrence of the partial unevenness of a light quantity in a photograph and to obtain an attractive-looking photograph having the suitable reproduction of an object by executing flashing whose luminous intensity level is even (flat) over an exposure time.

**CONSTITUTION:** A flash part is connected to a camera part and provided with a CPU 100, a flash tube 151 attaining flat flashing whose luminous intensity can be set and circuits 110 and 130 for flashing. The flash part executes test flashing and corrects the luminous intensity in regular flashing from that obtained from the photometric result in the test flashing and a voltage VM proportional to the charging voltage of a main capacitor, to flash.



## LEGAL STATUS

[Date of request for examination] 16.02.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3385672

[Date of registration] 10.01.2003

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-120813

(43)公開日 平成7年(1995)5月12日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

FI

### 技術表示箇所

G O 3 B 15/05

9017-2K

7/16

8102-2K

H O 5 B 41/32

A 9032-3K

審査請求 未請求 請求項の数1 OL (全 14 頁)

(21)出願番号

特願平5-263476

(22) 出願日

平成5年(1993)10月21日

(71)出願人 000006079

ミノルタ株式会社

大阪府大阪市中央区安土町二丁目3番13号  
大阪国際ビル

(72)発明者 市川 勉

大阪府中央区安土町二丁目3番13号 大阪  
国際ビル ミノルタカメラ株式会社内

(72)発明者 川邊 浩太郎

大阪府中央区安土町二丁目3番13号 大阪  
国際ビル ミノルタカメラ株式会社内

(72) 發明者 武輪 英樹

大阪府中央区安土町二丁目3番13号 大阪  
国際ビル ミノルタカメラ株式会社内

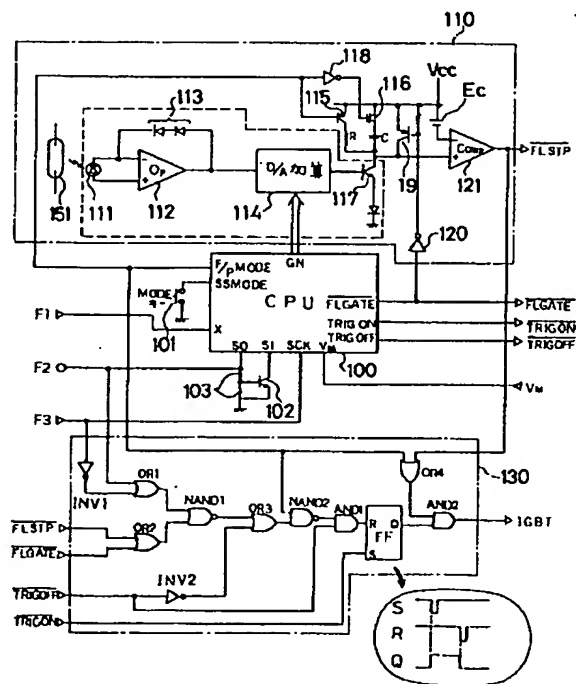
(74)代理人 弁理士 小谷 悦司 (外3名)

(54) 【発明の名称】 カメラのフラッシュシステム

(57) 【要約】 (修正有)

【目的】 露出時間に亘つて、光度レベルが均一（フラット）なフラッシュ発光を行うことで、撮影された写真の部分的な光量ムラの発生を防止し、被写体の好適な再現と見栄えの良好な写真を得る。

【構成】 カメラ部にフラッシュ部が接続されている。フラッシュ部はCPU100、発光光度が設定可能なフラット発光を行うフラッシュチューブ151及びフラッシュ発光を行わせる回路110、130、150を備え、テスト発光を行わし、この時の測光結果から得られた本発光光度とメインコンデンサ153の充電電圧に比例した電圧 $V_m$ とから本発光の際の発光光度を補正して、発光させる。



## 【特許請求の範囲】

【請求項 1】 テスト発光を行った後に本発光を行うようになされたフラッシュシステムであって、設定された光度で発光可能なフラッシュと、フラッシュ内部に設けられたメインコンデンサの電圧を検出する電圧検出手段と、テスト発光による測光データから本発光における発光光度を求める発光光度算出手段と、シャッタースピードと幕速によって決まる発光時間と、上記検出電圧とから本発光の発光光度を補正する光度補正手段とを備えたことを特徴とするカメラのフラッシュシステム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、フラッシュ撮影の際に、テスト発光を行った後に本発光を行うようになされたフラッシュシステムに係り、特に発光期間中における光度を安定化（フラットに）するためのカメラのフラッシュシステムに関する。

## 【0002】

【従来の技術】 従来、被写体輝度が不足する場合に、マニュアルで、あるいは撮影準備動作で測光を行い、単に閾値との大小のみからフラッシュの発光の要否を判断して、撮影を行うようになされたカメラが一般的である。また、フラッシュが装着、内蔵可能なカメラでは、携帯性からフラッシュ電源として電池が用いられている。この種のカメラの内、フラッシュ発光に先立って電池の残容量を検出し、電池容量が所定値以下の場合にはフラッシュ発光を禁止するようにしたものも知られている。

## 【0003】

【発明が解決しようとする課題】 例えばフォーカルプレーンシャッタの走行途中で、メインコンデンサ電圧が低くなり発光が止まってしまうと、撮影された写真は、適正光量で撮影された部分と光量不足で撮影された部分とに分かれた、いわゆる光量ムラのあるものになってしまう。

【0004】 一方、光量ムラが生じた写真に比べ、光量が多少不足味みでも、写真全体が均一な露出状態となっている方が再現性、見栄えの点でむしろ好ましいといえることができる。

【0005】 本発明は、上記に鑑みてなされたもので、発光光度が調光可能なフラッシュを用いるとともに、テスト発光により調光を行って、露出時間に亘って、安定したフラット本発光を行うようにしたカメラのフラッシュシステムを提供することを目的とするものである。

## 【0006】

【課題を解決するための手段】 本発明は、テスト発光を行った後に本発光を行うようになされたフラッシュシステムであって、設定された光度で発光可能なフラッシュと、フラッシュ内部に設けられたメインコンデンサの電圧を検出する電圧検出手段と、テスト発光による測光データから本発光における発光光度を求める発光光度算出

手段と、シャッタースピードと幕速によって決まる発光時間と、上記検出電圧とから本発光の発光光度を補正する光度補正手段とを備えたものである。

## 【0007】

【作用】 本発明によれば、撮影に際して、フラッシュ撮影がマニュアル指示で、あるいは自動設定されているとテスト発光が行われる。このテスト発光の際の測光データに基づいて発光光度が設定され、また、フラッシュ内部に設けられたコンデンサ電圧が検出される。そして、テスト発光時に得られた露出時間、すなわちシャッタースピードと幕速によって決まる発光時間と検出されたメインコンデンサ電圧とから、発光途中に発光が途切れないレベルの発光光度が求められ、この値がフラッシュの発光光度として設定される。

## 【0008】

【実施例】 図 3 は、本発明に係るカメラのフラッシュシステムにおけるフラッシュ部とカメラ部との信号接続関係を示す概略図である。図 3 に示すように、フラッシュ部 1 とカメラ部 2 とはそれぞれの制御部（図中、CPU で示す）100、200 が複数の信号ライン F1～F3、GND ラインで接続されて制御可能になされている。

【0009】 信号ライン F1 は CPU 200 の SWX 端子から出力される信号に基づいてスイッチ 201 がオンしたとき、またはシャッタが走行を開始した後、接点 202 がオンされた時のローレベル信号を発光タイミング信号 X としてフラッシュ部 1 に伝送するものである。信号ライン F2 は、後述するように各種のデータを交信するラインであり、信号ライン F3 はカメラ部 2 でのレリーズ指示に基づくレリーズフラグ信号をフラッシュ部 1 に伝送するラインである。なお、本実施例では、後述するようにシャッタとしてフォーカルプレーンシャッタを用いて説明するが、シャッタは他のタイプでもよい。また、カメラ部 2 は、測光 AE 及び焦点検出 AF を行う AE、AF 部 203 を備えるとともに、半押し状態でオンする撮影準備ボタン S<sub>1</sub> と、更に押し込んで全押し状態でオンするレリーズボタン S<sub>2</sub> を有しているものである。

【0010】 フラッシュ部 1 はフラッシュ制御回路とフラッシュ駆動回路とからなり、図 1 はフラッシュ制御回路を示し、図 2 はフラッシュ駆動回路を示している。

【0011】 図 1 において、CPU 100 は上記カメラ部 2 との間で信号ライン F1～F3 を介してデータ供給乃至データ交信を行って、フラッシュ部 1 全体の動作を制御するものである。CPU 100 は X 端子、S1 端子に入力されるデータに基づいて FLGATE 端子、TRIGON 端子及び TRIGOFF 端子から FLGATE 信号、TRIGON 信号及び TRIGOFF 信号をフラッシュ測光回路 110、発光制御信号生成回路 130 に出力するものである。フラッシュ測光部 110 はフラッ

シュの発光光度が所定レベルに達する毎にFLSTP信号を出力するものである。発光制御信号生成回路130は、CPU100及びフラッシュ測光回路110から入力された上記各信号及び信号ラインF3からのリリースフラグ信号に基づいて発光制御信号IGBTを生成し、図2のフラッシュ駆動回路150に出力するものである。

【0012】 先ず、CPU100、200間で交信されるデータを表1に示す。

【0013】

【表1】

SOデータ (フラッシュ→カメラ)	SIデータ (カメラ→フラッシュ)
・ SSEN ・ LVMAX ・ LVMIN ・ LVTEST	・ Tv ・ Fv ・ LVC ・ FLATREQ ・ FLATTIME ・ LVCOK

【0014】 表1の左欄はフラッシュ部1からカメラ部2へ伝送されるデータSO、右欄はカメラ部2からフラッシュ部1へ伝送されるデータSIである。データSOには、フラッシュが高速同調タイプであることを示す信号SSEN、フラッシュの最大、最小光度LVMAX、LVMIN、テスト発光光度LVTESTの各データが含まれる。データSIには、シャッタースピードTv、レンズ焦点距離Fv、本発光の要求光度LVC、フラット発光要求信号FLATREQ、本発光の発光時間FLATTIME、測光が正常に行われたことを示す信号LVCOKが含まれる。

【0015】 次に、図1の回路について説明する。MODEキー101は、装着、あるいは内蔵フラッシュがフラット発光モードのとき、マニュアル、あるいは自動的にオンされるスイッチである。トランジスタ102は端子SIと接地間に介設され、ベースは端子SOと接地間の分圧抵抗103の中点に接続されている。そして、信号ラインF2からのデータSIのハイ、ローレベルと同相でトランジスタ102がオン、オフすることで、端子SIにデータSIが取り込まれる。端子SCKにはデータSIのシリアル伝送の際に同期用のクロックが入力されるようになっている。

【0016】 また、V<sub>ss</sub>端子は後述するフラッシュ駆動回路150内のフラッシュ内部メインコンデンサ電圧を取り込むものである。GN端子は後述する発光光度を設定する調光制御値を出力するものである。F/P<sub>MODE</sub>端子はフラット発光モードと通常発光モードとを指示するモード切換信号を出力するものである。

【0017】 フラッシュ測光回路110はフラッシュ1

51の発光光度が所定光度に達したことを検出するものである。受光素子111はフラッシュ151の発光光度に応じたレベル電圧を発生するもので、オペアンプ112の両入力端子間に接続されている。ダイオード113は検出電圧レベルを対数圧縮するものである。D/A加算回路114はCPU100からのGN値をアナログに変換し、さらにオペアンプ112の出力に加算するものである。R、Cにそれぞれ介在されたトランジスタ115、116は、CPU100のF/P<sub>MODE</sub>端子からの出力がローレベルのとき、トランジスタ115がオンに、トランジスタ116がオフになることによりトランジスタ117のコレクタとVcc間に抵抗Rを接続し、一方、CPU100のF/P<sub>MODE</sub>端子からの出力がハイレベルのとき、トランジスタ115がオフに、トランジスタ116がオンになることによりトランジスタ117のコレクタとVcc間にコンデンサCを接続して、光度をモニタするか、光量（光度の積分値）をモニタするかを切り換える回路である。

【0018】 なお、118はレベル反転用のインバータである。また、トランジスタ119はCPU100のFLGATE端子からのFLGATE信号（ローレベル）がインバータ120を介して出力される間オフになって、オペアンプからなる比較回路121の非反転入力端子への比較電圧の入力を可能にするものである。そして、フラッシュ151が発光されてその光度が急上昇し、Vccとトランジスタ117のコレクタ間の電圧が電圧Ecを越えると、比較回路121からローレベルのFLGATE信号が出力されるようになっている。

【0019】 発光制御信号生成回路130は、OR回路1～4、NAND回路1、2、AND回路1、2、インバータINV1、2及びRSフリップフロップ（以下、RS-FFという）131から構成されている。そして、TRIGON信号の入力時からTRIGOFF信号の入力時まで、すなわち発光期間中、RS-FF131のQ端子にハイレベル信号を出力するとともに、OR回路4を介して入力されるFLSTP信号によりAND回路2からパルス状の発光制御信号IGBTを出力するようになっている。

【0020】 図2において、151は高速同調用のフラッシュチューブまたはXeチューブ等であって、所定光度の範囲内で可変制御可能かつフラット発光可能なフラッシュ（以下、フラッシュチューブという）である。DC-DCコンバータ152は電池E<sub>m</sub>（DC6V）を数百Vの直流電圧に昇圧するものである。メインコンデンサ153はダイオード154を介して高電圧の下で、DC-DCコンバータ152から供給される電流を充電するとともに、発光制御信号IGBTを受けて、その間充電電荷の放電を行うものである。なお、分圧抵抗R1、R2はメインコンデンサ153の電圧を検出し、CPU100のV<sub>ss</sub>端子に導くものである。

【0021】フラッシュチューブ151は発光電流を制御するトランジスタ155が直列に接続されるとともに、トリガ電極151aに数千Vの高電圧を印加して発光を励振するためのLC共振回路及び昇圧トランスTからなる昇圧励振回路156が設けられている。

【0022】また、スイッチSW<sub>n</sub>はメインスイッチS<sub>W</sub>に連動してオンオフされ、発光制御用のトランジスタ155に抵抗R3を介してベース電源を供給するものである。なお、抵抗R4は電流制限用である。トランジスタ157は、そのベースにインバータ158を介して発光制御信号IGBTが入力されるようになっている。

【0023】そして、このトランジスタ157は発光制御信号IGBTのハイレベル（インバータ158で反転されてローレベルとなる）期間だけオフになってトランジスタ155をオンさせる。このため、フラッシュチューブ151の両端にメインコンデンサ153の高電圧が直接印加されるとともに、上記LC共振回路のコンデンサCに充電された電荷により共振し、昇圧トランスTを介してフラッシュチューブ151のトリガ電極151aに発光励振用の高電圧が印加されて発光が開始される。

【0024】フラッシュチューブ151が発光すると、フラッシュ測光回路110により発光光度が上昇して所定レベルに達すると、FLSTP信号が出力されることで発光制御信号IGBTが反転され、発光が停止される。すると、この発光停止により発光制御信号IGBTが再びレベル反転して発光が開始される。以後、TRIGOFF端子よりローパルスが入力されるまで、かかる所定光度に対する間歇発光制御動作が繰り返され、これにより、フラッシュチューブ151はメインコンデンサ153に蓄積されている電荷を放出しつつ、所定光度で多少のリプルを有して発光制御される。

【0025】ここで、図4を用いてリプルについて説明する。リプル幅（b-a）、（b'-a'）は回路のスイッチングスピードに依存するところが大きいので、光度が変化しても基本的に変化しない。従って、図4

（a）のように光度が高い場合の光度bと直流成分aとの比は、図4（b）のように光度が低い場合の同比に対して小さく抑えることができ、より定常光に近づけることが可能となる。これにより、カメラ2側の測光のためのセンサとして定常光に対して好適に感応するものが採用されていることに対応させえる。そこで、後述するようにテスト発光においては高光度で発光を行い、測光精度を確保するようにしている。これは、また、テスト発光では、被写体距離が不明なことから、被写体が遠方に存在する場合でも所要レベルの反射光が受光できて好適な測光データが得られるべく、なるべく高光度で行う必要があることから好都合である。

【0026】続いて、撮影準備動作開始から本発光終了までの動作について図5～図7を参照しつつ、図8及び図9のタイムチャートを用いて説明する。

【0027】図5は本発光時間FLATTIMEを説明する図、図6はメインコンデンサ153の両端電圧に比例する電圧V<sub>m</sub>と光度との関係の本発光時間FLATTIMEをパラメータにして示した図、図7は本発光時間FLATTIMEとシャッタースピードT<sub>v</sub>との関係を示す図である。図9は、図8におけるテスト発光から本発光終了までの期間を拡大して示している。

【0028】図8において、最上段の（a）は動作内容を示している。先ず、t1時点で、カメラ部2の撮影準備のためのボタンS<sub>1</sub>がオン（ローレベル）されると、測光AE、焦点検出AFがリリースボタンS<sub>2</sub>が入るまで繰り返され、その間に、表1に示すデータSO、SIのシリアル通信が行われる。このシリアル通信の間中はチップセレクト信号CSFLにより、CPU100内のデータメモリ素子が読出、あるいは書込可能にされている。

【0029】続いて、t2時点で、リリースボタンS<sub>2</sub>がオンされると、フラッシュ発光がマニュアル設定されており、あるいは前記測光AEによりフラッシュ発光が要求されておれば、テスト発光とそれに伴う露出演算（（a）の斜線で示す期間）が行われる。リリースボタンS<sub>2</sub>がオンされて、信号ラインF1から発光タイミング信号Xがフラッシュ部1側に伝送されると、発光制御信号IGBTにより所定時間だけフラットかつ高光度でのテスト発光が行われる。

【0030】図9に示すように、発光タイミング信号Xを入力すると、CPU100より信号TRIGONが生成される。また、同時に信号FLGATEがローレベルになってトランジスタ119がオフになり、測光可能となる。その結果、フラッシュ測光回路110からの信号FLSTPがパルス列で送出されて、信号IGBTからトランジスタ155が制御され、これにより定常光に近いフラッシュ発光が所定時間T<sub>v</sub>だけ継続される。

【0031】T<sub>v</sub>時間が終了すると、フォーカルプレーンシャッタの第1幕1c、第2幕2cを初期位置にチャージする電磁マグネット回路1CMg、2CMgが作動されて、各幕1c、2cがチャージされる。そして、チャージが終了すると、テスト発光に基づくシャッタースピードT<sub>v</sub>等の露出演算データがフラッシュ部1側に伝送される。CPU200は、後述するようにシャッタースピードT<sub>v</sub>や幕速に基づいて、本発光時間FLATTIMEを求めるとともに、測光AEの測光値とテスト発光の測光値とを比較演算して本発光時に必要な要求光度LVCを算出し、次のシリアル通信SIで本発光時間FLATTIMEと要求光度LVCとをフラッシュ部1に送る。フラッシュ部1は、後述する所定処理の後、本発光動作を行う。

【0032】本発光時間FLATTIMEは以下のようにして設定される。すなわち、図5に示すように、本発光時間FLATTIMEは、少なくとも発光安定時間T

1と幕走行時間T2とシャッタスピード $T_v$ との和に一致するか、それより若干大きく設定されている。また、本発光は本発光時間FLATTIMEの間、光度が一定(フラット)となるように、図6の関係図に基づいて設定される。図6では、測光結果から得られる露出時間により本発光時間FLATTIMEとして3ms(①で示す)、5ms(②で示す)、7ms(③で示す)、10ms(④で示す)が設定可能にされており、電圧 $V_m$ はフラット発光制御可能な250V~330Vの範囲で、後述するように250V以下では、途中の発光切れを防止すべく発光自体を禁止するようにしている。そして、両者

FLAT TIME	メインコンデンサ電圧(V)				
	250V以下	270V以下	290V以下	310V以下	311V以上
3ms	発 光 不 可	-	-	-	-
5ms					
7ms					
10ms					
		-0.25EV	-0.5EV	-0.25EV	-0.25EV
		-0.5EV	-0.75EV	-0.5EV	-0.25EV
		-0.75EV	-0.5EV	-0.25EV	-0.25EV

【0035】さて、本発光動作は、先ず、電磁マグネット回路1CMgによりシャッタの第1幕1cが走行開始され、次いで、シャッタスピード $T_v$ 分だけ遅れて電磁マグネット回路1CMgにより第2幕2cの走行が開始される。第1幕1cの走行開始後撮影画面下端に差し掛かるまで(露光が開始されるまで)に設定されている微小時間 $T_1$ 後に、発光タイミング信号Xを受けて発光スタートフラグがセットされ、本発光が開始される。この本発光は、図9に示すように、表2のテーブルに基づいて設定された本発光時間FLATTIMEが終了してTRIGOFF信号が出力されると、終了する。一方、フィルムの巻上げは、第2幕2c待ちのために設けられている所定時間が経過した後に行われて、次の撮影待ち状態に入る。

【0036】上記において、電圧 $V_m$ に応じた補正をしないと、図7(b)に示すようにシャッタの第2幕2cの走行途中で発光が途切れ、得られた写真Fのシャッタ走行方向の後半側にだけ光量不足のムラが生じることもあるが、本実施例のように調光を行うことで、図7

(a)に示すように第2幕2cが走行完了するまでフラッシュ発光を継続させるようにしているので、多少アンダー気味でも、光量ムラの発生を防止することができる。

【0037】次に、テスト発光処理を図10、図11に示すメインフローチャートを用いて説明する。

【0038】先ず、テスト発光光度LVTESTが、被写体距離が大である場合を配慮してフラッシュチューブ151の最大光度LVMAXに設定される(#2)。次いで、メインコンデンサ153の電圧 $V_m$ が検出され(#4)、電圧 $V_m$ が270V以上かどうか判别され(#6)、270V以上であれば、メインコンデンサ153が本発光可能な残電荷を残していると判断して、フ

の関係から、発光光度がLVMAX~(LVMAX-1ev)の範囲で調光されるようになっている。

【0033】表2は、電圧 $V_m$ による最大発光光度LVMAXに対する補正光度を示すテーブルで、図6に対応するものである。表2に示すように発光光度は、本発光時間FLATTIMEが長くなる程、また電圧 $V_m$ が小さくなる程、低減されており、これにより発光途中での発光切れを可及的に防いでいる。

【0034】

【表2】

ラッシュ測光回路110にテスト発光の光度で設定し(#8、#10)、#14に進む。一方、電圧 $V_m$ が270V未満であれば、残電荷不足と判断してテスト発光禁止フラグをセットして、#14に進む。

【0039】#14では、信号ラインF1がローレベルかどうか検出され、ハイレベルであればローレベルになるまで待ち、ローレベルになったら、#16へ進む。そして、テスト発光禁止フラグがセットされているかどうか判别され(#16)、セットされていないければ、FLGATE信号をローレベルにし、フラッシュ測光回路110を測光可能状態にする(#18)。次いで、CPU100内の発光時間タイマが $T_1$ にセットされてタイマスタートされる(#20)と同時に、信号TRIGONのローパルスが出力されてテスト発光が開始される(#22)。そして、発光時間タイマが所定時間 $T_1$ を経過すると(#24)、信号TRIGOFFのローパルスを出力するとともに、FLGATE信号をハイレベルに戻して(#26)、テスト発光を終了する。一方、#16で、テスト発光禁止フラグがセットされているときは、本発光禁止フラグをセットして(#28)、リターンする。

【0040】次に、本発光処理を図12に示すメインフローチャートを用いて説明する。

【0041】先ず、「発光光度・FDC演算」処理が実行されて(#40)、発光光度が演算されるとともに調光完了信号FDCの設定が行われる。次いで、「メインコンデンサ電圧による光度補正」処理が実行されて(#42)、補正された発光光度が得られる。

【0042】続いて、発光タイミング信号Xがオンされると(#44)、本発光禁止フラグがセットされているかどうか判别され(#46)、セットされておれば、そのままリターンする。

【0043】一方、本発光禁止フラグがセットされていなければ、本発光を行うべく以下の処理が実行される。すなわち、まず、FLGATE信号がローレベルにされて測光可能状態にされる(#48)。次いで、本発光時間FLATTIMEが3ms、5ms、7ms、10msのいずれかのFLATTIMEの内から選択されて発光時間タイマに設定され(#50)、タイマスタートされる(#52)と同時に、信号TRIGONのローパルスが出力されて本発光が開始される(#54)。そして、発光時間タイマが、設定された本発光時間FLATTIMEを経時すると(#56)、信号TRIGOFFのローパルスを出力するとともに、FLGATE信号をハイレベルに戻して(#58)、本発光を終了し、リターンする。

【0044】次に、上記#40の「発光光度・FDC演算」のサブルーチンについて図13を用いて説明する。

【0045】まず、本発光の発光光度LVF(=LVT+LVC)が求められる(#70)。但し、LVCは本発光の要求光度で、テスト発光光度LVTESTに対する相対値としてカメラ部2側で算出され、S1データとして伝送されたものである。続いて、求められた発光光度LVFとフラッシュ駆動回路150で制御可能な最大光度LVMAX及び最小光度LVMINとの大小が比較される(#72、#76)。発光光度LVFが最大光度LVMAX以上であれば、この最大光度LVMAXが発光光度LVFとして設定され(#74)、逆に、発光光度LVFが最小光度LVMIN以下であれば、この最小光度LVMINが発光光度LVFとして設定される(#78)。発光光度LVFが両光度の間であるときは(#72、#76で共にNO)、#70で求められた発光光度がそのまま採用され、次いでテスト発光で測光AEが正常に行われたかどうかを示すフラグLVCOCKが有効であるかどうかが判別される(#80)。フラグLVCOCKが有効であれば、調光完了信号FDCとして「OK」を示す信号が出力され(#82)、有効でなければ、「NG」を示す信号が出力される(#84)。なお、発光光度LVFが最大あるいは最小光度に設定された場合は(#74、#78)、調光完了信号FDCは、一律に「NG」として出力される(#84)。

【0046】続いて、上記#42の「メインコンデンサ電圧による光度補正」のサブルーチンについて図14を用いて説明する。

【0047】まず、メインコンデンサ電圧V<sub>m</sub>の検出が開始され、検出電圧V<sub>m</sub>がデジタル値に変換されて取り込まれる(#100、#102)。そして、この電圧V<sub>m</sub>が250V以下かどうかが判別され(#104)、250V以下であれば、発光禁止フラグをセットして(#106)、#142に進む。電圧V<sub>m</sub>が250Vを越えていると、続いて270Vと大小比較される(#108)。そして、電圧V<sub>m</sub>が250V~270Vの間であれば(#108でYES)、表2に示すテーブルに従っ

て、本発光時間FLATTIME10ms、7ms、5msに対して(#110、#114、#118)、それぞれ最大光度LVMAXの補正が行われる(#112、#116、#120)。なお、本発光時間FLATTIMEが3msのときは、補正されることなく現最大光度LVMAXが採用される(#118でNO)。

【0048】また、電圧V<sub>m</sub>が270V~290Vの間であれば(#108でNO、#122でYES)、表2に示すテーブルに従って、本発光時間FLATTIME10ms、7msに対して(#124、#128)、それぞれ最大光度LVMAXの補正が行われる(#126、#130)。なお、本発光時間FLATTIMEが5ms、3msのときは、補正されることなく現最大光度LVMAXが採用される(#128でNO)。

【0049】また、電圧V<sub>m</sub>が290V~310Vの間であれば(#122でNO、#132でYES)、表2に示すテーブルに従って、本発光時間FLATTIME10msに対して(#134)、最大光度LVMAXの補正が行われる(#136)。なお、本発光時間FLATTIMEが7ms、5ms、3msのときは、補正されることなく現最大光度LVMAXが採用される(#134でNO)。

【0050】そして、最大光度LVMAXの補正が終了すると、#138に進んで、上述の「発光光度・FDC演算」のサブルーチンで設定された本発光光度LVFと最大光度LVMAXの大小が比較される。LVF≤LVMAXであれば、そのまま#142で進み、逆に、LVF>LVMAXであれば、本発光光度LVFを最大光度LVMAXに置き換えるとともに、調光完了信号FDCを「NG」に補正する。そして、得られた本発光光度LVFがCPU100のGN端子からD/A加算回路114に出力されて(#142)、リターンする。

【0051】

【発明の効果】以上説明したように、本発明によれば、フラッシュのメインコンデンサ電圧を検出する電圧検出手段と、テスト発光による測光データから本発光における発光光度を求める発光光度算出手段と、シャッタスピードと幕速によって決まる発光時間と上記検出電圧とから本発光の発光光度を補正する光度補正手段とを備え、補正後の設定光度でフラッシュを均一発光させるようにしたので、例えばフォーカルプレーンシャッタの走行途中でメインコンデンサ電圧が低くなって発光が止まり、撮影された写真に部分的な光量ムラが発生するということが確実に防止でき、これにより被写体を好適に再現し、かつ見栄えの良好な写真を得ることができる。

【図面の簡単な説明】

【図1】フラッシュ制御回路を示す回路図である。

【図2】フラッシュ駆動回路を示す回路図である。

【図3】本発明に係るカメラのフラッシュシステムにおけるフラッシュ部とカメラ部との接続関係を示す概略図

である。

【図4】リプルについて説明する図で、(a)は光度が高い場合、(b)は光度が低い場合を示している。

【図5】本発光時間FLATTIMEを説明する図である。

【図6】メインコンデンサ電圧 $V_m$ と光度との関係の本発光時間FLATTIMEをパラメータにして示した図である。

【図7】本発光時間FLATTIMEとシャッタースピードとの関係を示す図で、(a)は発光時間が好適な場合、(b)は発光が途中で途切れた場合を示している。

【図8】撮影準備動作開始から本発光終了までの動作における各信号部のタイムチャートである。

【図9】図8におけるテスト発光から本発光終了までの期間を拡大して示したタイムチャートである。

【図10】テスト発光処理を示すフローチャートである。

【図11】テスト発光処理を示すメインフローチャートである。

【図12】本発光処理を示すメインフローチャートである。

【図13】「発光光度・FDC演算」のサブルーチンである。

【図14】「メインコンデンサ電圧による光度補正」のサブルーチンである。

【符号の説明】

1 フラッシュ部

2 カメラ部

F1～F3 信号ライン

100 マイコン

110 フラッシュ測光回路

111 受光素子

114 D/A加算回路

121 比較回路

130 発光制御信号生成回路

131 RS-FF

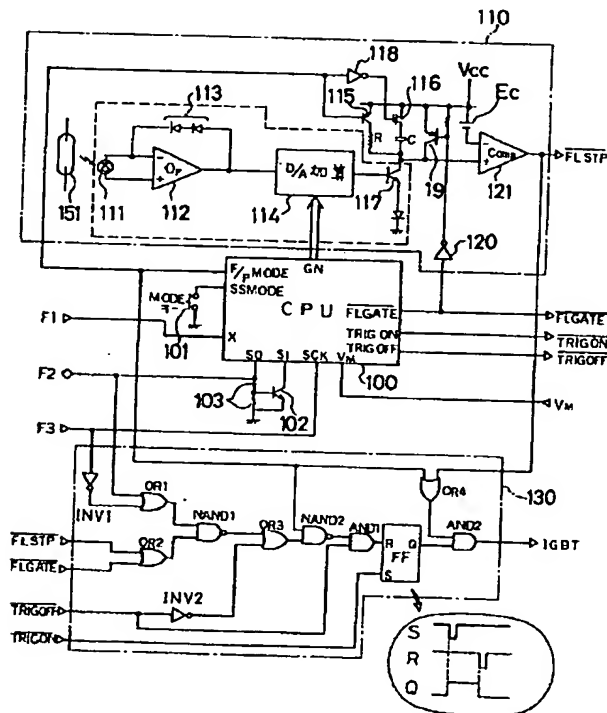
150 フラッシュ駆動回路

151 フラッシュチューブ

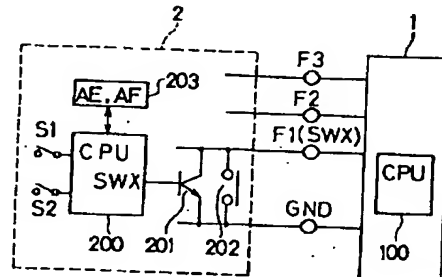
153 メインコンデンサ

R1, R2 メインコンデンサ電圧 $V_m$ 検出用分圧抵抗  
E<sub>IN</sub> 電池

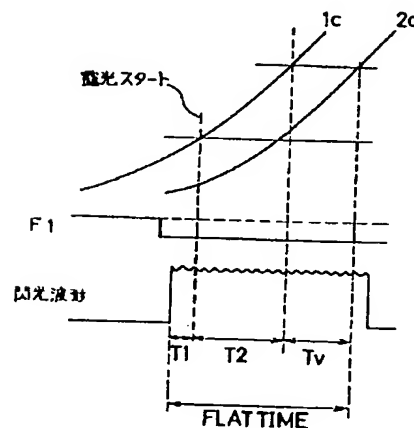
【図1】



【図3】

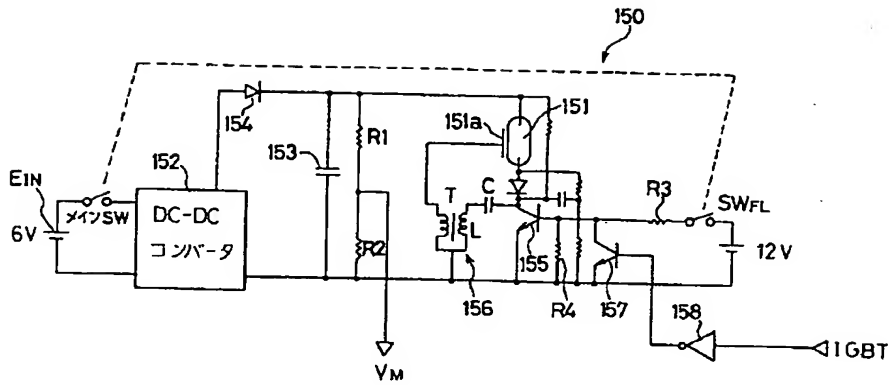


【図5】

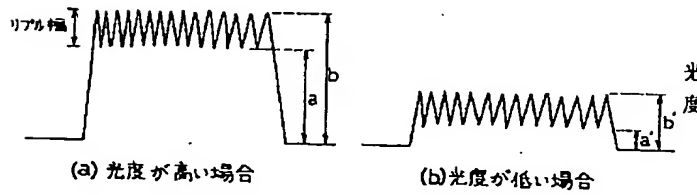




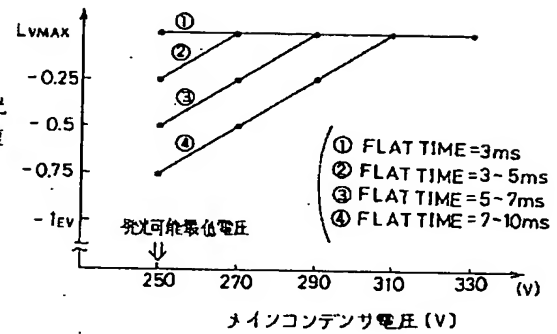
【図2】



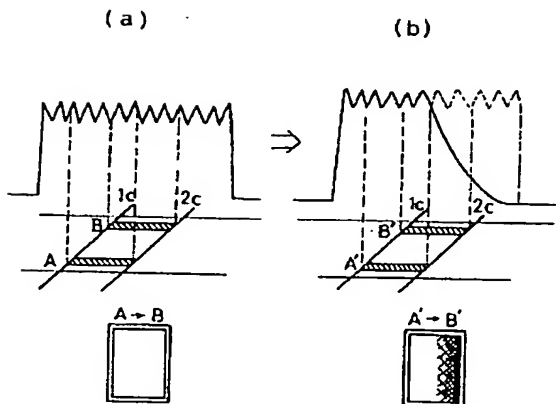
【図4】



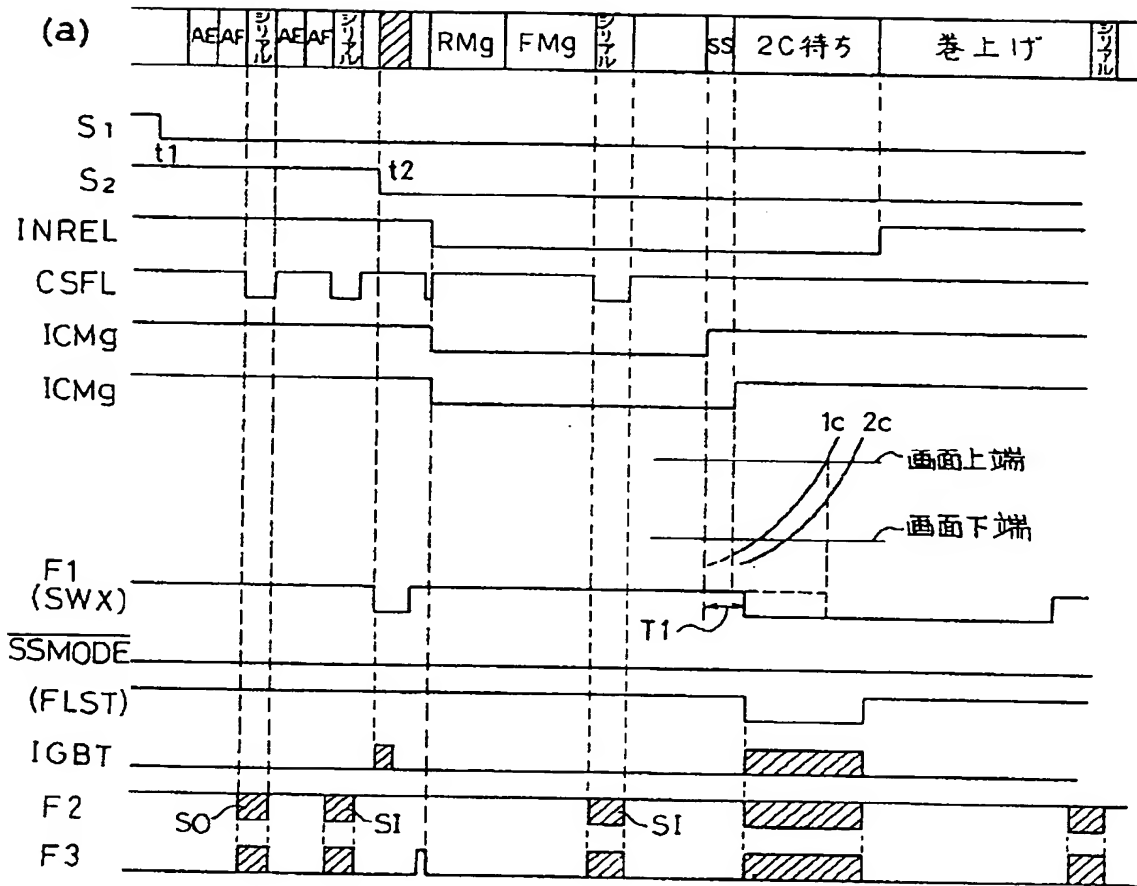
【図6】



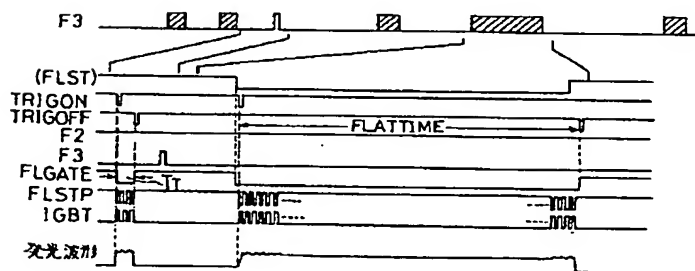
【図7】



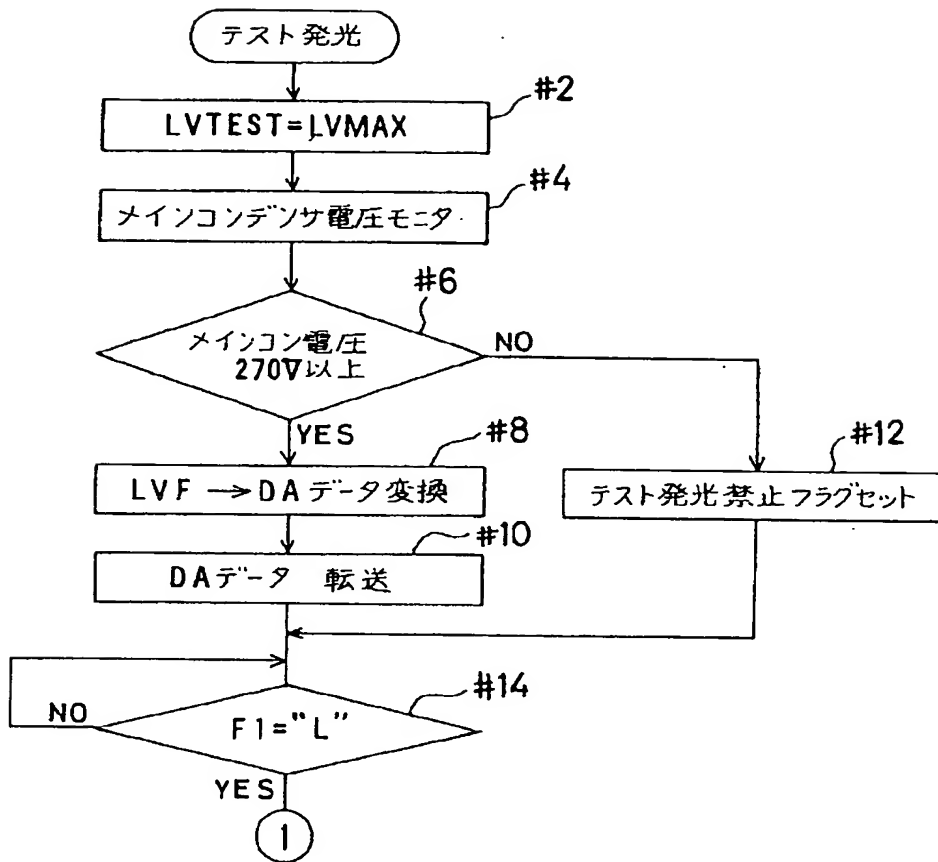
【図8】



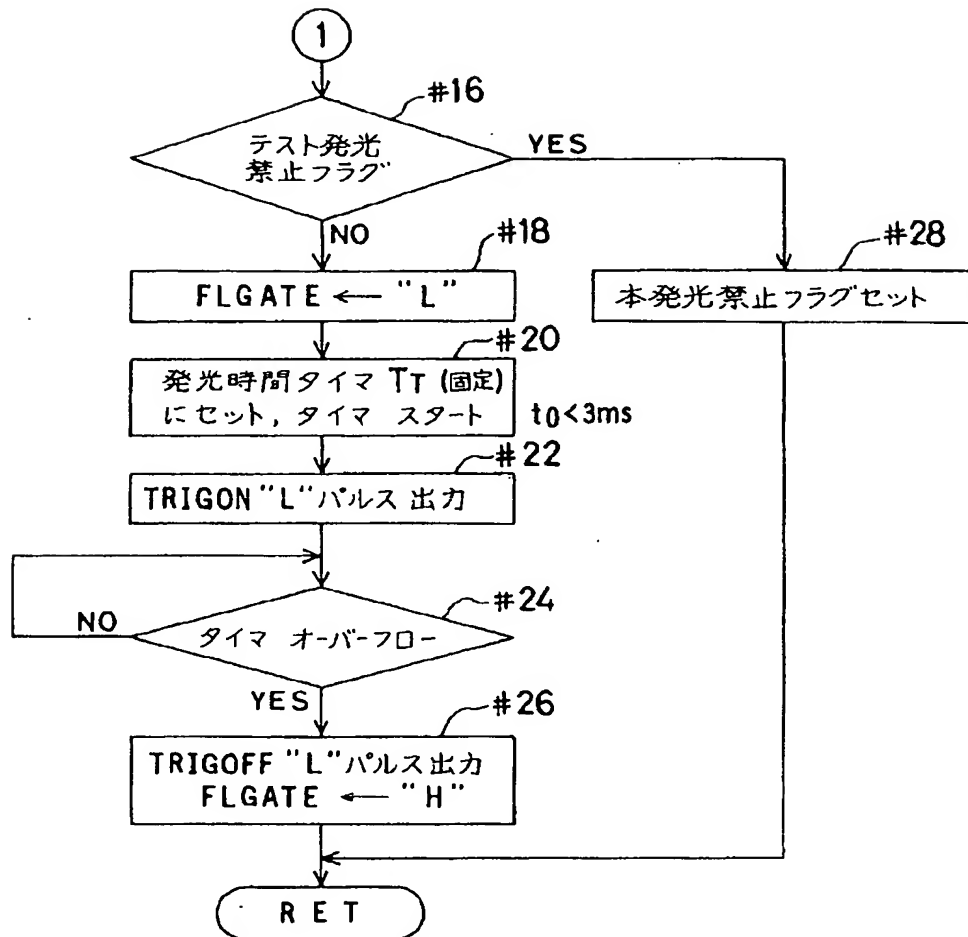
【図9】



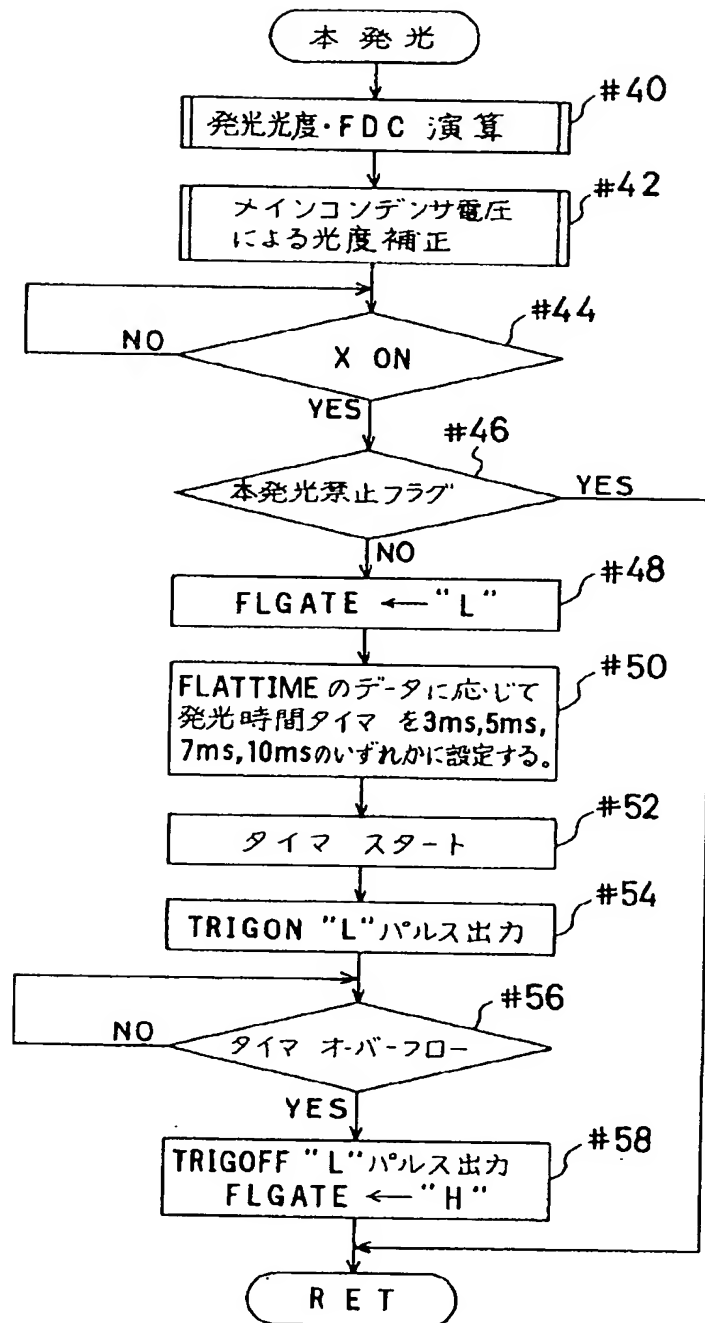
【図10】



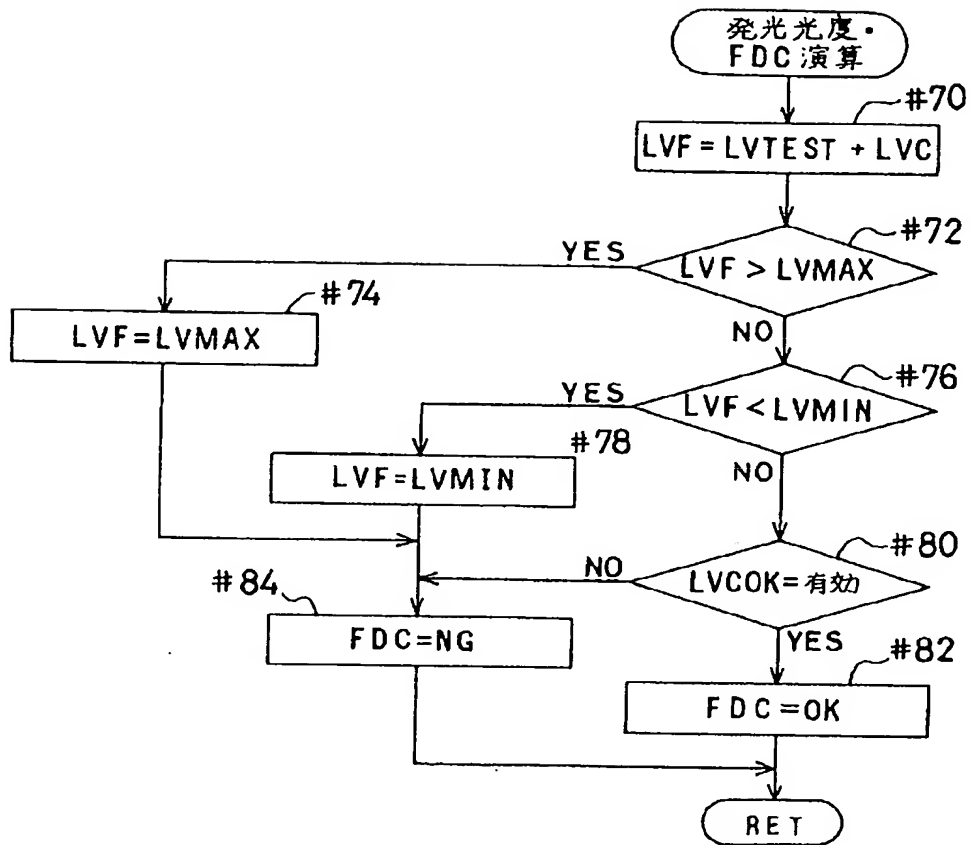
【図11】



【図12】



【図13】



【図14】

